

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-032039

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

H01L 27/12  
H01L 21/762  
H01L 29/786

(21)Application number : 06-160190

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 12.07.1994

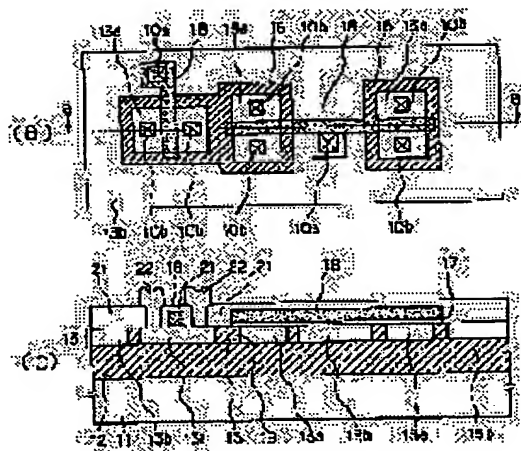
(72)Inventor : SUZUKI YOSHIMI  
TSURUTA KAZUHIRO  
ASAI SHOKI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PURPOSE:** To sufficiently decrease wiring capacitance when an isolation trench is wide, in a semiconductor device having an SOI structure formed by a mesa isolation method.

**CONSTITUTION:** A buried oxide film 12 is formed on a silicon substrate 11, and an SOI layer 13a turning to an element region is formed by forming an isolation trench 19 on the buried oxide film 12 and burying insulator 16 in the isolation trench 19. A dummy SOI layer 13b is formed on a field except the element region by forming the insulator 16. Wiring capacitance is reduced by forming a gate wiring of an MOSFET on the dummy SOI layer 13b.



## LEGAL STATUS

[Date of request for examination] 28.03.2000

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32039

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.<sup>8</sup>H 0 1 L 27/12  
21/762  
29/786

識別記号

F

庁内整理番号

9056-4M

F I

H 0 1 L 21/ 76

29/ 78

D

3 1 1 R

技術表示箇所

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21) 出願番号 特願平6-160190

(22) 出願日 平成6年(1994)7月12日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 鈴木 愛美

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72) 発明者 鶴田 和弘

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72) 発明者 浅井 昭喜

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

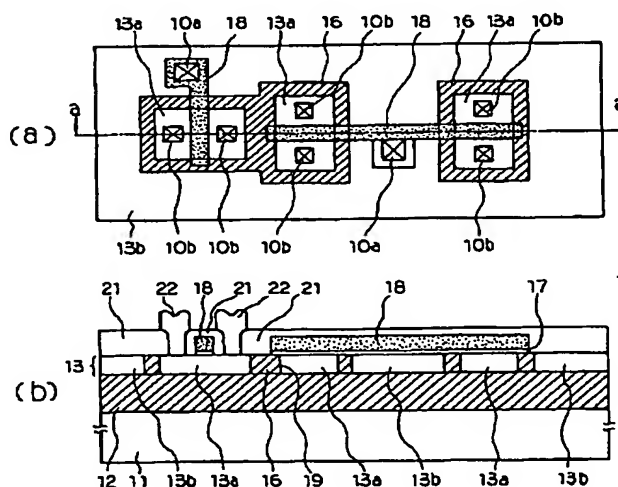
(74) 代理人 弁理士 伊藤 洋二

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 メサ分離法を用いて形成したSOI構造を有する半導体装置において、分離溝幅が広い場合であっても配線容量を十分低下する。

【構成】 シリコン基板11に埋め込み酸化膜12を形成し、この埋め込み酸化膜12上に分離溝19を形成するとともにその分離溝19内に絶縁物16を埋設して素子領域となるSOI層13aを形成する。また、その絶縁物16の形成により素子領域以外のフィールド部にダミーのSOI層13bを形成する。このダミーのSOI層13b上にMOSFETのゲート配線を形成するようにして、配線容量を低減させる。



1

## 【特許請求の範囲】

【請求項 1】 半導体基板の表面に、絶縁層を介して単結晶半導体層を形成し、この単結晶半導体層に前記絶縁層に至るまでの分離溝を形成して、前記単結晶半導体層に前記絶縁層および前記分離溝にて絶縁分離された素子領域を形成し、この素子領域に回路素子を形成してなる半導体装置において、

前記素子領域外のフィールド部の少なくとも前記回路素子に至る配線下に、前記単結晶半導体層によるダミーの単結晶半導体層を設けたことを特徴とする半導体装置。

【請求項 2】 前記回路素子は MOSFET であって、前記ダミーの単結晶半導体層の上にゲート絶縁膜を介して前記 MOSFET のゲート配線を前記配線として形成したことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ダミーの単結晶半導体層は、前記回路素子の動作時に前記ダミーの単結晶半導体層の膜厚よりも幅が厚い空乏層を得る不純物濃度を有するものであることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記ダミーの単結晶半導体層は、複数の分離溝により分割して形成されたものであることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】 前記分離溝に前記単結晶半導体層より誘電率の小さい絶縁物が埋め込み形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】 半導体基板上に絶縁層を介して単結晶半導体層を形成する工程と、前記単結晶半導体層に分離溝を形成して前記単結晶半導体層を第 1 および第 2 の単結晶半導体層に絶縁分離する工程と、前記第 2 の単結晶半導体層上を介し前記第 1 の単結晶半導体層に至る配線を形成する工程と、前記第 1 の単結晶半導体層に前記配線を有する回路素子を形成し、前記第 2 の単結晶半導体層を前記回路素子が形成されないダミーの単結晶半導体層とする工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 7】 前記複数の分離溝を形成する工程は、前記第 2 の単結晶半導体層に複数の溝を形成して、複数の分割されたダミーの単結晶半導体層を形成する工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記分離溝に前記単結晶半導体層より誘電率の小さい絶縁物を埋設する工程を有することを特徴とする請求項 6 又は 7 に記載の半導体装置の製造方法。

【請求項 9】 前記絶縁物を埋設する工程は、基板全面に絶縁物を堆積する工程と、前記絶縁物をエッチバックする工程とからなることを特徴とする請求項 8 に記載の半導体装置の製造方法。

2

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、SOI (Silicon On Insulator) 層に、分離溝による素子領域を形成し、その素子領域に MOSFET を形成してなる構造の半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 従来、SOI 構造の半導体装置を形成する場合には、半導体基板の貼り合わせを用いて SOI 層を形成するものと、SIMOX 基板を用いて SOI 層を形成するものがある。前者のものは、特開平 5-167050 号公報に示されているように、凹凸形状の半導体基板に SiO<sub>2</sub> 膜を形成し、それを表面研磨した後、他の半導体基板と貼り合わせ、さらに表面研磨して凹凸面に素子領域をなす SOI 層を形成するようにしたものである。

【0003】 この半導体基板の貼り合わせ技術を用いたものは、研磨による SOI 層の膜厚にばらつきが生じ、この問題を解決するために、上記公報に示す如く、研磨を均一に行うための複数のダミー層を設けるなどの工夫が必要である。これに対し、上記後者の SIMOX 基板を用いて SOI 層を形成する技術は、半導体基板に酸素をイオン注入し、半導体基板内に埋め込み酸化膜を形成するとともに、その埋め込み酸化膜を用いて素子領域をなす SOI 層を形成するようにしたものである。このものによれば、上記基板の貼り合わせ技術を用いたものと異なり、膜厚を均一にすることができるという特長を有する。

【0004】 この SIMOX 基板を用いて SOI 層を形成する技術において、素子分離を行う場合には、メサ分離法あるいは LOCOS 分離法が用いられている。メサ分離法を用いて構成したものを図 8 に、LOCOS 分離法を用いて構成したものを図 9 に示す。

## 【0005】

【発明が解決しようとする課題】 メサ分離法を用いた場合には、分離溝（トレンチ）の形成により素子領域をなす SOI 層 13 が形成される。この場合、図 10 に示すように、SOI 層 13 が形成されていないフィールド部のゲート配線 18 と基板 11 との間の配線容量はゲート酸化膜 17 と埋め込み酸化膜 12 の直列容量となり、埋め込み酸化膜厚 12 が薄い基板を用いた場合や、製造工程によってはフッ酸のウェットエッチング工程により埋め込み酸化膜厚 12 が薄くなってしまう場合には、容量 C1 が大きくなり高速動作には不利となる。

【0006】 また、分離溝には SiO<sub>2</sub> 等の絶縁物 16 が埋め込まれる場合がある。この場合には、その SiO<sub>2</sub> により配線容量を低下することができる。しかしながら、分離溝の幅が広い場合には、中央部に厚く絶縁物を堆積することができず、図 11 に示すような構造になっ

50

3

ることができない。

【0007】一方、LOCOS分離法によって分離された場合、メサ分離法の問題は解決できるものの、通常図9に示すようにSOI層13の周辺部にはバースピークと呼ばれる横方向に広がる酸化膜層が形成されるため、分離幅がメサ分離法より広く必要となり集積度が悪くなってしまうという問題がある。本発明は上記問題に鑑みてなされたもので、分離溝を用いて形成したSOI構造を有する半導体装置において、分離溝の幅が広い場合であっても配線容量を十分低下させることができるようにすることを目的とする。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するため、請求項1に記載の発明においては、半導体基板(11)の表面に、絶縁層(12)を介して単結晶半導体層(13)を形成し、この単結晶半導体層に前記絶縁層に至るまでの分離溝(19)を形成して、前記単結晶半導体層に前記絶縁層および前記分離溝にて絶縁分離された素子領域(13a)を形成し、この素子領域に回路素子を形成してなる半導体装置において、前記素子領域外のフィールド部の少なくとも前記回路素子に至る配線(18)下に、前記単結晶半導体層によるダミーの単結晶半導体層(13b)を設けたことを特徴としている。

【0009】請求項2に記載の発明では、請求項1に記載の発明において、前記回路素子はMOSFETであって、前記ダミーの単結晶半導体層の上にゲート絶縁膜を介して前記MOSFETのゲート配線(18)を前記配線として形成したことを特徴としている。請求項3に記載の発明では、請求項1又は2に記載の発明において、前記ダミーの単結晶半導体層は、前記回路素子の動作時に前記ダミーの単結晶半導体層の膜厚よりも幅が厚い空乏層を得る不純物濃度を有するものであることを特徴としている。

【0010】請求項4に記載の発明では、請求項1乃至3のいずれか1つに記載の発明において、前記ダミーの単結晶半導体層は、複数の分離溝により分割して形成されたものであることを特徴としている。請求項5に記載の発明では、請求項1乃至4のいずれか1つに記載の発明において、前記分離溝に前記単結晶半導体層より誘電率の小さい絶縁物(16)が埋め込み形成されていることを特徴としている。

【0011】請求項6に記載の発明においては、半導体基板(11)上に絶縁層(12)を介して単結晶半導体層(13)を形成する工程と、前記単結晶半導体層に分離溝(19)を形成して前記単結晶半導体層を第1および第2の単結晶半導体層(13a, 13b)に絶縁分離する工程と、前記第2の単結晶半導体層(13b)上を介し前記第1の単結晶半導体層に至る配線(18)を形成する工程と、前記第1の単結晶半導体層(13a)に

4

前記配線を有する回路素子を形成し、前記第2の単結晶半導体層を前記回路素子が形成されないダミーの単結晶半導体層とする工程とを備えたことを特徴としている。

【0012】請求項7に記載の発明では、請求項6に記載の発明において、前記複数の分離溝を形成する工程は、前記第2の単結晶半導体層に複数の溝を形成して、複数の分割されたダミーの単結晶半導体層を形成する工程を含むことを特徴としている。請求項8に記載の発明では、請求項6又は7に記載の発明において、前記分離溝に前記単結晶半導体層より誘電率の小さい絶縁物(16)を埋設する工程を有することを特徴としている。

【0013】請求項9に記載の発明では、請求項8に記載の発明において、前記絶縁物を埋設する工程は、基板全面に絶縁物を堆積する工程と、前記絶縁物をエッチバックする工程とからなることを特徴としている。なお、上記各手段のカッコ内の符号は、後述する実施例記載の具体的手段との対応関係を示すものである。

【0014】

【発明の作用効果】請求項1に記載の発明においては、絶縁層上に形成された単結晶半導体層に絶縁層に至るまでの分離溝が形成され、単結晶半導体層に絶縁層および分離溝にて絶縁分離された素子領域が形成され、この素子領域に回路素子が形成される。ここで、素子領域外のフィールド部の少なくとも前記回路素子に至る配線下に、単結晶半導体層によるダミーの単結晶半導体層が形成されている。

【0015】従って、図10のように隣接する素子領域間隔Sが広い場合には、後述する図5のようにダミーの単結晶層が形成され、素子領域間隔Sはダミーの単結晶半導体層と幅の狭い溝とで構成される。このことによってフィールド部の配線はダミーの単結晶半導体層と狭い分離溝上に形成され、ダミー層がない図10や図11の場合に比べて配線容量は低減し、回路動作を高速化させることができる。

【0016】上記の回路素子としては、請求項2に記載の発明のようにMOSFETを用いることができ、MOSFETのゲート配線を前記配線として、上記配線容量低減によりMOSFETの動作を高速化させることができる。請求項3に記載の発明においては、ダミーの単結晶半導体層を、その動作時に完全空乏化する不純物濃度に設定している。従って、MOSFET等の回路素子の動作時に、ダミーの単結晶半導体層の容量の増大を防ぎ、その時の配線容量の低減を図ることができる。

【0017】また、ダミーの単結晶半導体層としては、請求項4に記載の発明のように、複数の分離溝により分割して形成することができる。また、請求項5に記載の発明のように、分離溝に単結晶半導体層より誘電率の小さい絶縁物を埋め込み形成しておくことにより、一層配線容量の低減を図ることができる。

【0018】上記したような半導体装置は請求項6乃至

10

20

30

40

50

5

9に記載の製造方法を用いて製造することができる。

【0019】

【実施例】以下、本発明を図に示す実施例について説明する。

(第1実施例) 図1(a)は、本発明の第1実施例を示す半導体装置の平面図であり、図1(b)は図1(a)のa-a断面図である。

【0020】図1(b)において、シリコン基板11上には、埋め込み酸化膜12が形成されており、この酸化膜12上には薄い単結晶シリコン層(SOI層)13が形成されている。このSOI層13には分離溝19が形成されており、この分離溝19にSiO<sub>2</sub>等の絶縁物16が埋め込まれている。この分離溝19の形成により、SOI層13は、MOSFETが形成されるSOI層13aとMOSFETが形成されないダミーのSOI層13bに分離される。

【0021】この分離溝19は、図1(a)に示すように、MOSFETを形成するSOI層13aの周辺部に、それを取り囲むようにして形成されている。このSOI層13aに形成されるMOSFETのゲート配線18(多結晶シリコンにより形成)は、ゲート電極パッド10aから延在して形成されており、このゲート配線18の下に、ゲート酸化膜17を介してダミーのSOI層13bが位置している。

【0022】また、SOI層13はMOSFET13aのチャネル領域の最大空乏層幅よりも薄く形成されており、チャネル形成時にSOI層13aが完全に空乏化する厚さになっている。なお、図1(b)において、21は層間絶縁膜、22はソース・ドレインのAl配線、10bはMOSFETのソース・ドレインの電極パッドである。

【0023】なお、上記分離溝19の幅Xは、半導体装置の製造工程における最小加工寸法をLとした場合、Xを3×L未満の値に設定している。従って、素子領域となる複数のSOI層13a相互間の距離が3×L以上の寸法の場合に、各SOI層13a間に分離溝19を介してダミーのSOI層13bを配置することができる。また、本実施例においては、SIMOX基板を用いているため、SOI領域の膜厚が均一となっている。

【0024】上記実施例の構成によれば、素子領域となるSOI層13a以外の領域に幅Xの分離溝19を隔ててダミーのSOI層13bが形成される。従って、メサエッチにより分離溝幅Xを加工限界まで小さくでき、さらに素子領域間(フィールド部)の膜厚を厚く保つことができ、ゲート配線18の寄生容量を低減することができる。

【0025】すなわち、図2に示すように、分離溝19に絶縁物16が埋め込まれた場合の配線容量をC2とすると、C2<C1となる。さらに、動作時にはダミーのSOI層13bは完全空乏化されるため、容量C3はC

6

3-L=C1-L+CD-Lで表わされ、C3<C1となり容量の増大を防ぐことができる。なお、CDはダミーのSOI層13bが完全空乏化したときの容量である。

【0026】以上のように本実施例によれば、SIMOX基板でメサ分離を行うため集積度を向上させることができ、さらに配線容量を低減して高速動作を行わせることができる。次に、本実施例に示した構造の製造方法の一例について説明する。図3(a)~図3(f)は、図1に示す半導体装置の製造方法を示す工程図である。以下、工程順に従って説明する。

図3(a) 参照

シリコン基板にSIMOX法を用いて埋め込み酸化膜12を形成し、この酸化膜12上に形成されたSOI層13の表面に酸化膜14と窒化膜15を形成する。その後、窒化膜15を選択的にエッチングして分離溝19を形成する。このとき、分離溝19の幅Xは、 $L \leq X < 3L$ となるように設定されている。但し、Lは加工限界の寸法である。

図3(b) 参照

窒化膜15をマスクとして酸化膜14とSOI層13をエッチングする。

図3(c) 参照

全面にSiO<sub>2</sub>等の絶縁物16を厚く堆積する。絶縁物としては、SiO<sub>2</sub>以外に例えばSiNでも、あるいはSiNとSiO<sub>2</sub>等の積層としてもよい。ここで、堆積する膜厚は、少なくとも絶縁膜16を埋め込む溝の幅の最大値の1/2以上の膜厚とする。

図3(d) 参照

窒化膜15をストッパーにして絶縁物16をエッチバックする。このことによって分離溝19を埋める絶縁物16が厚く残る。なお、エッチングのダメージが直接SOI層13の表面に及ぶことはない。

図3(e) 参照

その後、窒化膜15と酸化膜14をフッ酸によるウエットエッチで除去する。絶縁物16は図3(d)の段階で厚く残されているので、フッ酸処理工程を経ても島状のSOI層13の溝を埋めるのに十分な膜厚を保つことができる。

【0027】ここで、エッチングの条件によっては、絶縁膜16がSOI層13a、13bの表面よりも突出した形状となることがあるが、この場合にはSOI層13a、13bのエッジ部分における電界集中や寄生トランジスタの発生を回避することができるため、突出した形状であった方が好ましい場合もある。また、ダミーのSOI層13bがフィールド部上に配置されているので、その下の埋め込み酸化膜12はフッ酸のウエットエッチでエッチングされることはない。

図3(f) 参照

その後、通常のMOSプロセスによって、ゲート酸化膜17を形成するとともにゲート配線18を形成し、SO

7

I層13aに、ソース・ドレイン領域を形成するとともに、層間絶縁膜21、A1配線22を形成する。このようにして形成された半導体装置の平面構成を図4に示す。なお、図4のb-b断面で示したものを図3に示している。

【0028】また、上記製造方法において、ダミーのSOI層13bが完全に空乏化するようにSOI層13aの不純物濃度を設定しておくか、もしくはソース・ドレイン形成等のイオン注入工程においてSOI層13bにはレジスト等でマスクをしておきダミーのSOI層13bにはイオン注入をしないようにすることにより、ダミーのSOI層13bを低不純物濃度層とすることができ、ダミーのSOI層13bの完全空乏化を図ることができる。

【0029】なお、上記製造方法において、分離溝19に絶縁物16を埋め込み形成するようにしないと、図3(e)の工程でのウエットエッチにより、図12に示すような形状、すなわち、SOI層13の上下のコーナ部Aが露出しその上にゲート酸化膜17、ゲート電極18が形成されることになる。このような形状になると、コーナ部Aでの電界集中によるゲート酸化膜耐圧の劣化や、コーナ部Aでの寄生トランジスタによるリーク電流の増大を招くという問題が発生する。従って、分離溝19に絶縁物16を埋め込んでおくことにより、配線の寄生容量の低減の効果に加え、上記のような問題を防ぐことができる。

(第2実施例) 図5に本発明の第2実施例を示す。

【0030】本実施例においては、分離溝19に絶縁物16が埋め込まれていない点が第1実施例と異なる。SOI層13a、13bの表面及び側面にはゲート酸化膜17を介してゲート配線18が形成されている。本実施例においては、第1実施例に示した場合と比較して埋め込まれた絶縁物16がない分寄生容量は増加するが、従来のメサ分離を行った構造に対してはダミーのSOI層13bが存在するため寄生容量の低減が可能となる。

(第3実施例) この第3の実施例においては、図6に示すように、少なくともゲート配線18の下領域を複数に分割したダミーのSOI層13bとしている。

【0031】本実施例の構造においては、第1実施例に示した構造よりもゲート配線下部の領域においてSiO<sub>2</sub>の領域が多くなる。従って、シリコンよりSiO<sub>2</sub>の方が誘電率が小さいので、第1実施例よりもゲート配線の寄生容量をさらに低減することが可能となる。このとき、ゲート配線下の絶縁物とダミーの層の幅はそれぞれXであり、XはL<X<3Lの範囲に入るように設定されている。

【0032】この第3実施例の製造方法を図7(a)～(f)に示す。基本的には、図3に示す製造方法と同じ

8

であるが、図7(a)に示すように、将来ゲート配線18が形成されるフィールド部の領域のSOI層13をXの幅で複数にエッチングしておき、図7(f)の段階で複数に分割されたダミーのSOI層13bを得るようにした点で図3に示すものと異なっている。

【0033】なお、上記実施例においては、SOI層13aに形成する回路素子としてMOSFETを用いるものを示したが、バイポーラトランジスタ、ダイオード等としてもよい。また、従来技術として示した特開平5-167050号公報のように均等にダミー層を置く場合は、手書きか座標計算をしてダミー層を置かなければならないが、本発明の平面構造(回路素子とそれを取り囲む分離溝)であればCADによる簡単なデータ処理で容易にパターン生成できる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例を示すもので、(a)は半導体装置の平面図、(b)は(a)のa-a断面図である。

【図2】図1に示す実施例のゲート配線の容量を説明する図である。

【図3】第1実施例における半導体装置を製造する製造工程図である。

【図4】図3に示す製造工程により製造された半導体装置の平面図である。

【図5】本発明の第2実施例を示す断面図である。

【図6】本発明の第3実施例を示す平面図である。

【図7】第3実施例における半導体装置を製造する製造工程図である。

【図8】従来のメサ分離法によるSOI構造の半導体装置を示す断面図である。

【図9】従来のLOCOS分離法によるSOI構造の半導体装置を示す断面図である。

【図10】メサ分離法によるSOI構造の場合のゲート配線の容量を説明する図である。

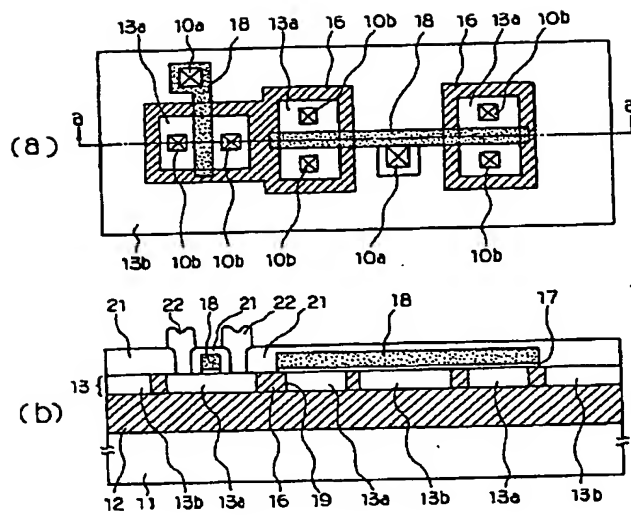
【図11】図10に示す構成に対し、分離溝に絶縁膜を埋め込んだ場合であって、分離溝の幅が広い場合に生じる問題を説明するための説明図である。

【図12】分離溝に絶縁物を埋め込み形成しない場合の問題を説明するための図である。

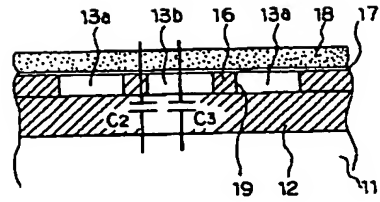
#### 【符号の説明】

- 11 シリコン基板
- 12 埋め込み酸化膜
- 13 SOI層
- 13a MOSFETを形成するためのSOI層
- 13b ダミーのSOI層
- 16 埋め込み絶縁物
- 17 ゲート絶縁膜
- 18 ゲート配線

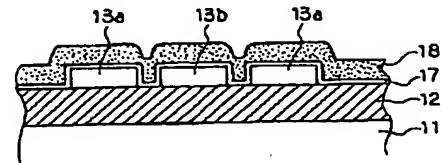
【図 1】



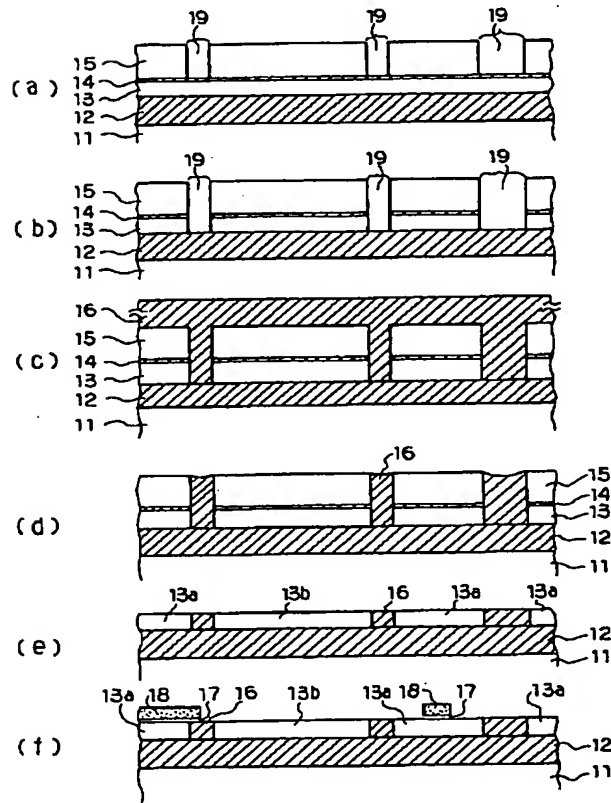
【図 2】



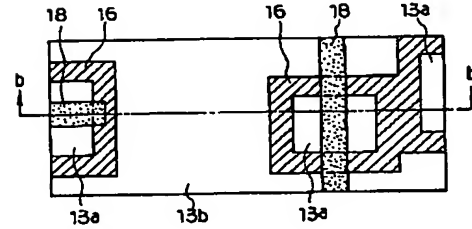
【図 5】



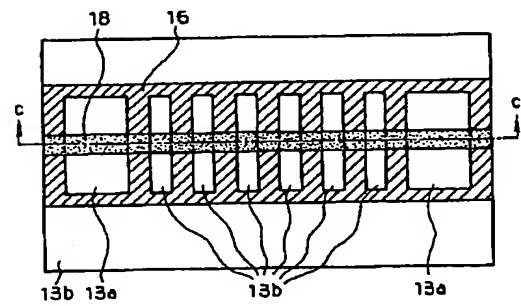
【図 3】



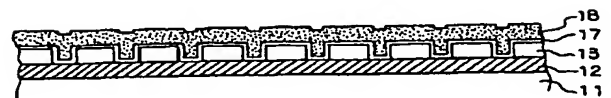
【図 4】



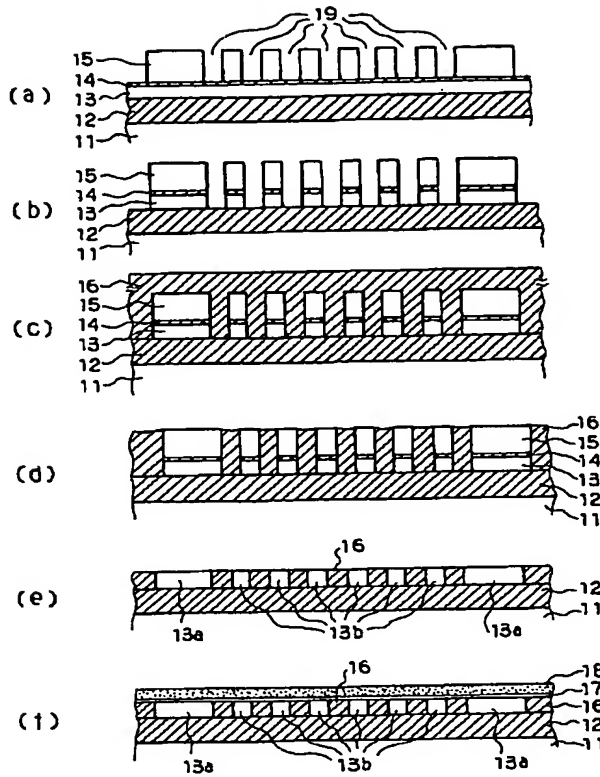
【図 6】



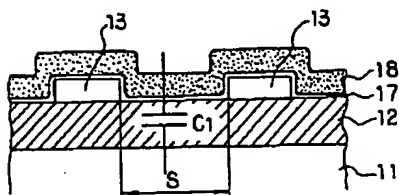
【図 8】



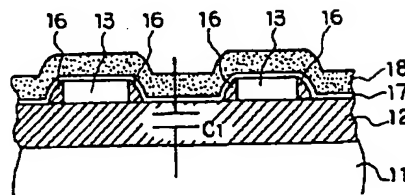
【図 7】



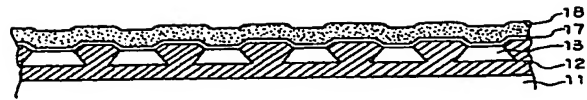
【図 10】



【図 11】



【図 9】



【図 12】

